

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-244585

(43)Date of publication of application : 19.09.1997

(51)Int.CI.

G09G 3/36
 G02F 1/133
 H03K 3/356
 H03K 17/10
 H03K 17/687
 H03K 19/0185

(21)Application number : 08-046454

(71)Applicant : TOPPAN PRINTING CO LTD
TOSHIBA CORP

(22)Date of filing : 04.03.1996

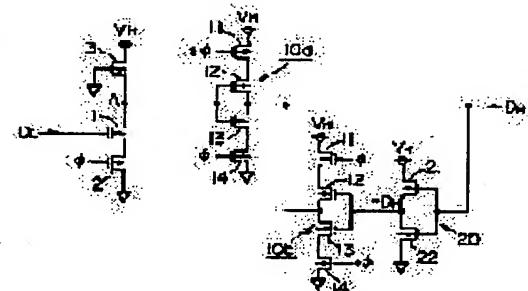
(72)Inventor : CHIN GIYOUSHIYOU
NANZAKI HIRONORI
TAGUCHI TAKASHI

(54) LEVEL SHIFTER CIRCUIT WITH LATCH FUNCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a level shifter circuit in which the driving capacity is high, smaller number of transistors is used to constitute the circuit and the number of rows is reduced in the layout of the driver ICs of a liquid crystal display device.

SOLUTION: When a clock signal ϕ_{VH} is '1' (an inverted clock signal ϕ_{VL} is '0', the digital signals of a voltage VH system, which are made by inverting the digital signals of a voltage VL (for example, 3 volts) system being inputted to the gate of an Nch field effect transistor(FET) 1, are inputted to a three state inverter 10a and the inverter 10a inverts and outputs the inputted signals. Moreover, when the signal ϕ_{VH} is '0', the inverter 10a is put in a high impedance state and the signals ϕ_{VH} keep the output state the same as the state immediately before the signal ϕ_{VH} becomes '0' by the loop which is formed by an inverter 20 and a three state inverter 10b.



LEGAL STATUS

[Date of request for examination] 13.03.1996

[Date of sending the examiner's decision of rejection] 22.06.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

3ビットのデジタルデータの最も下位ビットが入力され、前記第1の請求項6記載のラッチャ機能付きレベルシフト回路の第3、第4のNチャネル電界トランジスタの各ゲートには前記3ビットのデジタルデータの第2ビットの反転信号と、最上位ビットの反転信号が入力され、前記第3の請求項6記載のラッチャ機能付きレベルシフト回路の第3、第4のNチャネル電界トランジスタの各ゲートには前記3ビットの反転信号が入力され、信号と、最上位ビットの反転信号が「0」、すなわち、反転クロック信号*が「0」の時、PchFET611とNchFET612とNchFET614は共にONになり、この状態でPchFET612とNchFET613のゲートには「0」が入力される。このように、ドライブICには1つのIC内に異なる電圧で動作する回路が複数あるため、回路61aから出力される3V系の信号を5V系の信号に昇圧するレベルシフト部が設けられている。

[0005] ここで、図11に從来のデータラッチャ部とレベルシフト部の回路構成を示す。この図において、60はデータラッチャ部であり、70はレベルシフト部である。また、データラッチャ部60は、各々PチャネルまたはNチャネル電界トランジスタ（以下、それぞれPchFET、NchFETという）によって構成される。

回路61a、61bおよび回路62からなっている。回路61aは直列に接続されたPchFET611、612とNchFET613、614からなり、PchFET611のソースには3Vの電圧が印加され、NchFET614のソースは接地されている。

[0006] そして、NchFET614のゲートには3Vの電圧で「1」を表し、接地電位で「0」を表すデジタル信号（以下、3V系のデジタル信号とい）であるクロック信号が入力されている。また、PchFET611のゲートには上記クロック信号を反転した反転クロック信号*（3V系）が入力されている。さらに、PchFET612とNchFET613のゲートには、外部からソース側に、PchFET612とNchFET613のゲートには、外部からソース側に電圧が印加された時、ソース線51に印加された電圧を液晶層53に印加する。これにより液晶層53の液晶分子は角度を変え、パックライト等からの光を透過させる。また階調表示は、ソース線51に入力する電圧を変化させ、液晶層53の液晶分子の角度を制御することにより行われる。

[0007] 回路62は、直列に接続されたPchFET621とNchFET622からなり、PchFET621のソースには3Vの電圧が印加され、NchFET622のソースは接地されている。また、PchFET621のドライブICとNchFET622のドライブICの接続点は、回路61bのPchFET612およびNchFET613のゲートと接続されている。さらにNchFET602のドライブICとPchFET701の接続点は、そのドライブICの4.0mの間隔をもって形成されるものとする。

[0008] 回路61bは、回路61aと同一の構成を示す。すなわち、TFT駆動用のドライブIC（以下、単にドライブICとい）を用いて各行の薄膜トランジスタに各々画像データに基づく電圧を印加し、1行毎に頃次薄膜トランジスタをONして行くことにより、画像の表示を行っている。

[0009] 上述した図11の回路における動作は、ま

た、データラッチャ部60において、クロック信号*が「1」、反転クロック信号*が「0」の時、PchFET703とNchFET704は共にONになり、出力はハイインピーダンス状態となる。一方、クロック信号*が「1」、すなわち、反転クロック信号*が「0」の時、PchFET611とNchFET612とNchFET614は共にONになり、この状態でPchFET612とNchFET613のゲートには「0」が入力される。このように、ドライブICには1つのIC内に異なる電圧で動作する回路が複数あるため、回路61aから出力される3V系の信号を5V系の信号に昇圧するレベルシフト部が設けられている。

[0010] このように、回路61aは、クロック信号*が「1」の時はインバータとして機能し、「0」の時は出力がハイインピーダンス状態となる一種の3スティートインバータと見える。また、これと同様に回路61bはクロック信号*が「0」の時はインバータとして機能し、「1」の時はその出力がハイインピーダンス状態となる3スティートインバータと見える。そして、回路62はPchFET621およびNchFET622のゲートには「1」が入力されるとPchFET621がOFF、NchFET622がONとなり、回路61aから出力される信号*が「1」になると、回路61aの出力がハイインピーダンス状態になり、回路61aから出力された信号*は、回路61bと回路62とによって形成されるループによって保持され、これにより、レベルシフト部70から出力されている電圧も、次にクロック信号*が「1」、反転クロック信号*が「0」になるまで保持される。このように、図11の回路は、外部から入力される3V系のデジタル信号を5V系のデジタル信号に昇圧すると共に、クロック信号*に従って出力状態を保持する。

[0011] 一方、レベルシフト部70は、NchFET701、702およびPchFET703、704により構成されている。PchFET703、704のソースは各々接地されている。そして、NchFET701とPchFET703のドライブICは、図12に示すように、3Vの電圧によって実際にはIC化する場合、そのICチップのレベルシフト部を一列に配した回路列（以下、3V系の回路）によって構成される。その接続点はPchFET704のゲートとも接続されている。また、NchFET702とPchFET704のドライブICも接続され、その接続点はPchFET703のゲートと接続されている。さらにNchFET702のドライブICとPchFET704のドライブICの接続点は、そのドライブICの4.0mの間隔をもって形成されるものとする。

[0012] 上述した図11の回路における動作は、まず、データラッチャ部60において、クロック信号*が「1」、反転クロック信号*が「0」の時、回路61

路) FET 11～14をインバータ 31におきかえ、PchFET 3をそのON抵抗RP、NchFET 1, 2をそのON抵抗RNだけで図示したものである。そして、接続点Aの電位VAは、インバータ 31が入力されたデジタル信号を「0」として認識することができる電圧Vthと上式の関係を満すようにRP, RNが選択される。

【0032】10a, 10bは、それぞれ図 11の回路 6.1aおよび回路 6.1bと同様の構成をとる一種の3ステートインバータ 10aが入力された電位VAは、インバータ 31が入力されたデジタル信号を「1」(反転クロック信号*#)がクロック信号*#が「1」(反転クロック信号*#)が「0」の時、インバータ 10bはクロック信号*#が「1」(反転クロック信号*#)が「0」であるためインバータとして機能し、電圧VAが「0」であるためインバータ 20および外部へ電圧VH(電圧VH系のデジタル信号の「1」)を出力し、電圧VHが入力された場合は接地電位(電圧VH系のデジタル信号の「0」)を出力する。また、インバータ 20は3ステートインバータ 10aから出力された信号を反転して3ステートインバータ 10bへ出力する。ここで、3ステートインバータ 10bは、クロック信号*#が「1」、反転クロック信号*#が「0」であるため、その出力はハイインピーダンス状態になつておらず3ステートインバータ 10bへ出力される。これまた、各PchFET 11のソースには電圧VHが印加されており、電圧VH系のデジタル信号を出力する。

【0033】20は図 11の回路 6.2と同様の構成をしており、PchFET 21およびNchFET 22のゲートには3ステートインバータ 10a, 10bから同時に信号が出力されることはない。

【0034】この状態からクロック信号*#が「0」(反転クロック信号*#が「1」)に転じると、NchFET 2はOFFとなり、NchFET 1のゲートに入力される電圧VH系のデジタル信号の内容に問わらず、3ステートインバータ 10aには電圧VHが入力される。ここで、3ステートインバータ 10aはPchFET 11およびPchFET 21のゲートと接続され、3ステートインバータ 10aの出力(PchFET 21およびNchFET 13のゲート)と接続され、3ステートインバータ 10aの出力(PchFET 12のドレン)とNchFET 13のドレンの接続点は外部と接続されると共に、インバータ 20の入力(PchFET 21およびNchFET 22のゲート)に接続されている。

【0035】さらに、インバータ 20の出力(PchFET 21のドレン)とNchFET 22のドレンの接続点は3ステートインバータ 10bの入力と接続され、3ステートインバータ 10bの出力は、3ステートインバータ 20の出力、インバータ 20の入力、および、外部との接続されている。すなわち、3ステートインバータ 10bとインバータ 20は、3ステートインバータ 10aの出力側においてループを形成している。

【0036】次に上述したラッチ機能付きレベルシフト回路の動作について説明する。まず、クロック信号*#が「0」の時、NchFET 2がOFF、PchFET 3がONとなつて、浮遊容量Cが充電される。そして、クロック信号*#が「1」になり、また、NchFET 2がONになると、クロック信号*#を反転して外部に、クロック信号*#が「0」に転じた時は、その直前の出力信号の状態を保持する。

【0040】また、本実施形態におけるラッチ機能付きレベルシフト回路の電源電圧は、すべて電圧VHである。NchFET 3がクロック信号*#に接続して交互にON, OFFするので、第1実施形態のように、NchFET 1, 2が共にONになつた場合、電流がPchFET 3, NchFET 1, 2を介して、電流がNchFET 3がクロック信号*#が「1」)が入力された電圧Vthと上式の関係を満すようにRP, RNが選択される。このように、本実施形態のラッチ機能付きレベルシフト回路の出力信号は、すべて電圧VHであるため、ラッチ部およびレベルシフト部の回路の電源電圧を1つに統合することができる。そして、本実施形態におけるラッチ機能付きレベルシフト回路の出力信号は、すべて電圧VHであるため、ラッチ部およびレベルシフト部の回路の電源電圧を1つに統合することができる。そして、ラッチ機能付きレベルシフト回路の電源電圧は、全てVHであるため、ラッチ部およびレベルシフト部の回路の電源電圧を1つに統合することができ、ロードを一系統化することができる。さらに、本実施形態におけるラッチ機能付きレベルシフト回路を構成するトランジスタの数は13個であり、図 11の回路に比べ、3個のトランジスタを削減することができる。

【0041】(第2実施形態) 図 3に第2実施形態におけるラッチ機能付きレベルシフト回路を示す。この回路において、図 1に示すラッチ機能付きレベルシフト回路の各部に相当する部分については同一の符号を付し、その説明を省略する。ここで、3ステートインバータ 10a, 10bおよびインバータ 20内部の各構成は図中省略されているが、図 1の各部と同様の構成を有している。すなわち、図 3に第3実施形態におけるラッチ機能付きレベルシフト回路を示す。この回において、図 3に示すラッチ機能付きレベルシフト回路と異なる点は、PchFET 4が追加されており、3ステートインバータ 10a, 10bの各出力と接続されている。このPchFET 4のゲートは3ステートインバータ 10a, 10bの各出力と接続され、ドレンは3ステートインバータ 10aの入力と接続されている。また、ソースには電圧VHが印加されている。

【0042】ここで、前述した第2実施形態において、クロック信号*#が「1」の時、NchFET 1のゲートに「0」が入力された場合は、浮遊容量Cに充電された電荷が3ステートインバータ 10aに印加され、これにより3ステートインバータ 10aに「1」が入力される。これは既に述べたが、その際、何らかの要因で浮遊容量Cに充電された電荷が放電されてしまうおそれがある。そのため、浮遊容量Cに充電された電荷が放電されてしまうおそれがある。そのような場合、3ステートインバータ 10aに「1」を表示正確な電圧(ここでは5V)を供給し続けることができなくなり、正常に動作しない可能性がある。第3実施形態において追加されたPchFET 4は、そのような事態を避けたため、3ステートインバータ 10aに入力する電圧VH系デジタル信号の「1」の電圧を補償するものである。

【0043】(第3実施形態) 図 4に第3実施形態におけるラッチ機能付きレベルシフト回路を示す。この回路において、図 1に示すラッチ機能付きレベルシフト回路の各部に相当する部分については同一の符号を付し、その説明を省略する。図 4において、図 3のラッチ機能付きレベルシフト回路と異なる点は、PchFET 4が追加されており、3ステートインバータ 10aの入力と接続されている。ここで、図 1に示すラッチ機能付きレベルシフト回路が図 1のものと異なる点は、PchFET 3のゲートには反転クロック信号*#のみを記載している。これまた、これは同様の理由で、3ステートインバータ 10bには反転クロック信号*#のみを記載している。ここで、図 1に示すラッチ機能付きレベルシフト回路が図 1のものと異なる点は、PchFET 3のゲートにもクロック信号*#が入力されている点である。

【0044】以下に本実施形態におけるラッチ機能付きレベルシフト回路の動作について説明する。まず、クロック信号*#が「0」の時は、NchFET 2がOFF、PchFET 3がONになつて、3ステートインバータ 10aに電圧VHが入力される。また、この時回路中A点と3ステートインバータ 10a間に存在する浮遊容量Cに充電が行われる。そして、クロック信号*#が「1」に転じると、NchFET 2がON、PchFET 3がOFFになる。この時、NchFET 1のゲートに「1」が入力された場合はNchFET 1がONとなり、浮遊容量Cに充電された電荷がNchFET 1, 2を通して、3ステートインバータ 10aに印加され、3ステートインバータ 10aには「0」が入力される。また、NchFET 1のゲートに「0」が入力された場合はNchFET 1がOFFになつた場合は、浮遊容量Cに充電された電荷が3ステートインバータ 10aに印加され、すなわち3ステートインバータ 10aには「1」が入力される。

【0045】以後の動作は第1実施形態と同様、クロック信号*#が「1」の時は、3ステートインバータ 10a

ch FET 1のゲートに「0」が入力されると、浮遊容量Cに充電された電荷が3ステートインバータ10aに印加され、これにより「1」が入力される。この時、3ステートインバータ10aは、「0」を出力するため、Pch FET 4はONとなって、3ステートインバータ10aに電圧VHが印加される。

[0052] したがって、この時点以降、クロック信号が「1」で、Nch FET 1のゲートに「0」が入力されている間は、Pch FET 4がON状態に固定され、3ステートインバータ10aの入力には電圧VH系デジタル信号の「1」が安定して入力され続ける。また、クロック信号が「0」の場合は3ステートインバータ10bとインバータ20からなるループによってクロック信号が「0」になる直前の出力状態を保持する。このため、何らかの要因により浮遊容量Cの放電路が存在したとしても、3ステートインバータ10aは安定して動作することができる。また、本実施形態においても、次段の回路に対する駆動能力が向上する点、ラッチ部およびレバ尔斯リフタ部の回路の電源電圧を1つに統合することができ、ローを一系統することができる点、トランジスタ数を削減することができる点は、第1、第2実施形態と同様の効果を有している。

[0053] [第4実施形態] 図5に第4実施形態におけるラッチ機能付きレバ尔斯リフタ回路を示す。この回路において、図4に示すラッチ機能付きレバ尔斯リフタ回路の各部について、同一のラッチ機能付きレバ尔斯リフタ回路の「1」の時、例えはデジタル信号Dlaが「1」(*Dlaは「1」)、デジタル信号Dlbが「0」(*Dlbは「0」)だったとする、Nch FET 7-3、-7-4が共にOFFとなるが、Nch FET 7-1、-7-2が共にONとなる。このため、3ステートインバータ10aには「0」が入力され、外部に出力される電圧VH系のデジタル信号Dlbは「1」となる。

[0054] この状態からクロック信号が「0」に転じると、3ステートインバータ10aはハイインビータンス状態となり、また、3ステートインバータ10bにより形成されるループによって外部に出力されるデジタル信号DHは「1」のまま保持される。また、デジタル信号Dlaが「1」(*Dlaは「0」)、デジタル信号Dlbが「0」(*Dlbは「1」)だった場合にも、Nch FET 7-3、-7-4が共にON、Nch FET 7-1、-7-2が共にOFFとなって、上述した動作が行われる。

[0055] 一方、クロック信号が「1」の時、例えはデジタル信号DlaおよびDlbが共に「0」(*Dla、*Dlbは「1」)だったとすると、Nch FET 7-1はON、Nch FET 7-2はOFFとなり、また、Nch FET 7-3はOFF、Nch FET 7-4はONとなる。この時、3ステートインバータ10aには「1」が入力され、出力されるデジタル信号DHは「0」となる。さらには、この時Pch FET 4のゲートには「0」が入力されるので、3ステートインバータ10aの入力に電圧VHが印加され、これにより、外部に出力される電圧VH

系のデジタル信号DHは「0」となる。また、この状態からクロック信号DHが「0」に転じると、3ステートインバータ20および3ステートインバータ10bにより形成されるループによって、外部に出力されるデジタル信号DHは「0」のまま保持される。

[0056] したがって、この回路において、742のNch FET 7-1～7-4により構成され、エクスクリューブOR的な動作をする論理回路である。この論理回路において、Nch FET 7-1のソースとNch FET 7-2のドレイン、および、Nch FET 7-3のソースとNch FET 7-4のドレイン、または、Nch FET 7-1とNch FET 7-3のドレン同士は接続され、Pch FET 3のドレンと3ステートインバータ10aの入力に接続されている。さらに、Nch FET 7-2とNch FET 7-4のソース同士は接続され、Nch FET 20に接続されている。

[0057] したがって、Nch FET 7-1とNch FET 7-3のゲートには、電圧VH系のデジタル信号Dla、DlbのエクスクリューブORがとられ、その結果は昇圧され、また、クロック信号もが「1」となり、電圧VH系のデジタル信号DHは「0」となり、「1」もしくは、デジタル信号Dlaが「1」、Dlbが「1」の時、デジタル信号DHは「1」となる。このように、図8のラッチ機能付きレバ尔斯リフタ回路においては、論理回路7によって、入力される電圧VH系のデジタル信号Dla、DlbのエクスクリューブORがとられ、その結果は昇圧され、また、クロック信号もが「1」とされ、その結果は昇圧され、また、クロック信号もが「0」となり、電圧回路7回路にも、クロック信号が「1」、かつ、論理回路7がOFFの状態になった時、3ステートインバータ10aに入力する電圧VH系のデジタル信号の「1」の状態を補償する目的で、図6と同様にPch FET 4を追加してもよい。

[0058] このように、本実施形態におけるラッチ機能付きレバ尔斯リフタ回路によれば、簡単な回路の追加により、図4に示すラッチ機能付きレバ尔斯リフタ回路よりも、クロック信号が「1」、かつ、論理回路7がOFFの状態になった時、3ステートインバータ10aに入力する電圧VH系のデジタル信号の「1」の状態を補償する目的で、図6と同様にPch FET 4を追加してもよい。

[0059] このように、本実施形態におけるラッチ機能付きレバ尔斯リフタ回路によれば、簡単な回路の追加により、図4に示すラッチ機能付きレバ尔斯リフタ回路、さらに機能を追加することができるので、より少ないトランジスタにより、多機能なレバ尔斯リフタ回路を構成することができ、よって、液晶表示装置のドライバICのチップをより小型化することができる。

[0060] [第5実施形態] 図9に本実施形態の回路を示す。本実施形態では、上述したラッチ機能付きレバ尔斯リフタ回路を用い、3入力-8出力のデコーダ回路を構成した場合について説明する。図9において、4-0は第1実施形態で述べた図1のラッチ機能付きレバ尔斯リフタ回路と同一回路であり、Nch FET 1のゲートには電圧VH系の3ステートインバータ10aと接続されている。また、Nch FET 25aのソースとPch FET 26aのドレインからデコード信号SHが接続され、その接続点1から出力される。

[0061] そして、Nch FET 25aのゲートは、ラッチ機能付きレバ尔斯リフタ回路4-0のインバータ20の出力と接続され、Pch FET 26aのゲートはその入力がラッチ機能付きレバ尔斯リフタ回路4-0のインバータ20の出力と接続されたインバータ27aの出力と接続されている。2-8aはNch FET 25bであり、そのドレンはNch FET 25aのソースとPch FET 26aのドレンの接続点に接続されている。また、ソースは接続され、ゲートはラッチ機能付きレバ尔斯リフタ回路4-0の3ステートインバータ10aの出力と接続されている。

[0062] また、Nch FET 25b、Pch FET 26b、インバータ27b、Nch FET 28b、上記のソースに接続され、Nch FET 8のドレンはNch FET 1のソースに接続されている。ここで、図ch FET 2のドレンに接続されている。ここで、図ch FET 2のドレンに接続されている。

9において、ラッチ機能付きレバ尔斯リフタ回路4-1aのみ、その内部構成を図示しているが、ラッチ機能付きレバ尔斯リフタ回路4-1b～4-1dについても同様の構成を有している。

[0063] ラッチ機能付きレバ尔斯リフタ回路4-1aのゲートは、インバータ9bによって反転された第2ビットD10の反転信号*D10が高出力されており、信号ライン3-2と接続され、Nch FET 8のゲートは、インバータ9aにより反転された第3ビット(最高ビット)D12の反転信号*D12が高出力されている信号D11の3-0と接続している。ラッチ機能付きレバ尔斯リフタ回路4-1bのNch FET 1のゲートは、第3ビットD12が高出力され、Nch FET 8のゲートは、信号ライン3-0と接続されている。

[0064] ラッチ機能付きレバ尔斯リフタ回路4-1cのゲートは、信号ライン3-3と接続され、Nch FET 1のゲートは、信号ライン3-3と接続され、Nch FET 8のゲートは、第3ビットD12が高出力されている信号ライン3-1と接続されている。ラッチ機能付きレバ尔斯リフタ回路4-1dのNch FET 1のゲートは、信号ライン3-2と接続され、Nch FET 8のゲートは、信号ライン3-0と接続されている。さらに、ラッチ機能付きレバ尔斯リフタ回路4-1dの各Nch FET 2のゲートには、クロック信号ががそれぞれ入力されている。

[0065] ラッチ機能付きレバ尔斯リフタ回路4-1cのゲートは、信号ライン3-3と接続され、Nch FET 8のゲートは、インバータ9aにより反転された第3ビットD12が高出力され、Nch FET 1のゲートは、信号ライン3-2と接続され、Nch FET 8のゲートは、信号ライン3-0と接続されている。さらに、ラッチ機能付きレバ尔斯リフタ回路4-1dの各Nch FET 2のゲートには、クロック信号ががそれぞれ入力されている。

[0066] ラッチ機能付きレバ尔斯リフタ回路4-1cのゲートは、信号ライン3-3と接続され、Nch FET 8のゲートは、信号ライン3-2と接続され、Nch FET 1のゲートは、信号ライン3-1と接続されている。ラッチ機能付きレバ尔斯リフタ回路4-1dのNch FET 1のゲートは、信号ライン3-2と接続され、Nch FET 8のゲートは、信号ライン3-0と接続されている。さらに、ラッチ機能付きレバ尔斯リフタ回路4-1dの各Nch FET 2のゲートには、クロック信号ががそれぞれ入力されている。

[0067] ラッチ機能付きレバ尔斯リフタ回路4-1cのゲートは、信号ライン3-3と接続され、Nch FET 8のゲートは、信号ライン3-2と接続され、Nch FET 1のゲートは、信号ライン3-1と接続されている。ラッチ機能付きレバ尔斯リフタ回路4-1dのNch FET 1のゲートは、信号ライン3-2と接続され、Nch FET 8のゲートは、信号ライン3-0と接続されている。さらに、ラッチ機能付きレバ尔斯リフタ回路4-1dの各Nch FET 2のゲートには、クロック信号ががそれぞれ入力されている。

[0068] ラッチ機能付きレバ尔斯リフタ回路4-1cのゲートは、信号ライン3-3と接続され、Nch FET 8のゲートは、信号ライン3-2と接続され、Nch FET 1のゲートは、信号ライン3-1と接続されている。ラッチ機能付きレバ尔斯リフタ回路4-1dのNch FET 1のゲートは、信号ライン3-2と接続され、Nch FET 8のゲートは、信号ライン3-0と接続されている。さらに、ラッチ機能付きレバ尔斯リフタ回路4-1dの各Nch FET 2のゲートには、クロック信号ががそれぞれ入力されている。

[0069] ラッチ機能付きレバ尔斯リフタ回路4-1cのゲートは、信号ライン3-3と接続され、Nch FET 8のゲートは、信号ライン3-2と接続され、Nch FET 1のゲートは、信号ライン3-1と接続されている。ラッチ機能付きレバ尔斯リフタ回路4-1dのNch FET 1のゲートは、信号ライン3-2と接続され、Nch FET 8のゲートは、信号ライン3-0と接続されている。さらに、ラッチ機能付きレバ尔斯リフタ回路4-1dの各Nch FET 2のゲートには、クロック信号ががそれぞれ入力されている。

有しているが、以下の点が異なっている。すなわち、NchFET25bのゲートとインバータ27bの入力は、それぞれラッチ機能付きレベルシフタ回路40の3ステートインバータ10aの出力と接続され、NchFET28bのゲートはラッチ機能付きレベルシフタ回路40のインバータ20の出力と接続されている。また、NchFET25bのソースとPchFET26bのドレインの接続点b1からは、デコード信号SII2が取出される。

【0067】さらに図示を略した切換回路42b～42dと、ラッチ機能付きレベルシフタ回路40、および、

切換回路	接続点	デコード信号
42b	a ₂	SII3
	b ₂	SII4
42c	a ₃	SII5
	b ₃	SII6
42d	a ₄	SII7
	b ₄	SII8

【0068】次に、上述した3入力～8出力のデコード回路の動作について説明する。まず、電圧VH系の3ビットのデジタルデータが「000」である場合の動作について説明する。クロック信号*0が「0」(すなわち、反転クロック信号*0が「0」)の時、まず、ラッチ機能付きレベルシフタ回路41aのNchFET1, 8のゲートには「0」が入力されるので、NchFET1, 8は各々ONとなる。また、クロック信号*0が「1」であるためNchFET2もONとなり、3ステートインバータ10aには「0」が入力される。

【0069】そして、ラッチ機能付きレベルシフタ回路41aの3ステートインバータ10aは、電圧VH系のデジタル信号の「1」(電圧VH)を切換回路42aのNchFET25aのドレインとPchFET26aのソース、および、NchFET25bのドレインとPchFET26bのソースにそれぞれ出力する。この時、ラッチ機能付きレベルシフタ回路40では、NchFET1に「0」が入力されているためNchFET1はOFFとなり、3ステートインバータ10aには電圧VH系のデジタル信号の「1」(電圧VH)を切換回路42aのラッチ機能付きレベルシフタ回路41aのインバータ10aを経てNchFET10を出力する。

【0070】この状態からクロック信号が「0」になると、ラッチ機能付きレベルシフタ回路40, 41a～41dの各3ステートインバータ10bおよびインバータ20によって形成されるループによって各々のラッチ機能付きレベルシフタ回路の出力状態が保持され、これにより、デコード信号SII～SII8もその状態が保持される。

【0071】さらに図示を略した切換回路42b～42dと、ラッチ機能付きレベルシフタ回路40、および、3ステートインバータ10aの接続関係は、上述した切換回路42a～42dと、ラッチ機能付きレベルシフタ回路40および41aとの接続関係と同様の接続関係を有している。ここで、切換回路42aの中の接続点a1, b1に対応する切換回路42b～42dの中の接続点をそれぞれ、a2～a4, b2～b4とする、接続点a2～a4, b2～b4と、各接続点から出力されるデコード信号の関係は表1のようになる。

【表1】

NchFET2もONとなり、3ステートインバータ10aには「0」が入力される。

【0074】そして、ラッチ機能付きレベルシフタ回路41aの3ステートインバータ10aは、電圧VH系のデジタル信号の「1」(電圧VH)を切換回路42aのNchFET25aのドレインとPchFET26aのソース、および、NchFET25bのドレインとPchFET26bのソースにそれぞれ出力する。この時、ラッチ機能付きレベルシフタ回路40では、NchFET1に「1」が入力されためNchFET1はOFFとなり、3ステートインバータ10aには「0」が入力される。したがって、ラッチ機能付きレベルシフタ回路40の3ステートインバータ10aは電圧VH系のデジタル信号の「1」を出力し、また、インバータ20は電圧VH系のデジタル信号の「0」を出力する。

【0075】これにより、切換回路42a～42dのすべてのNchFET25aとPchFET26aは共にOFFとなり、また、NchFET28aはONになる。一方、すべてのNchFET25bとPchFET26bは共にONとなり、NchFET28bはOFFになる。このため、ラッチ機能付きレベルシフタ回路41aの3ステートインバータ10aから出力された電圧VH系のデジタル信号の「1」は、切換回路42aのNchFET25bとPchFET26bを通して外部へ出力される。したがって、デコード信号SIIが電圧VH系のデジタル信号の「1」となる。また、デコード信号SIIはNchFET28bがONになっているため、「0」となる。

【0076】また、他のラッチ機能付きレベルシフタ回路41b～41dにおいては、NchFET1または8のいずれか一方、もしくは両方がOFFになつて、各々の3ステートインバータ10aには「1」が入力され、これにより各々対応する切換回路42b～42dに「0」が入力される。したがって、デコード信号SII～SII8は全て「0」となる。

【0077】この状態からクロック信号が「1」になると、ラッチ機能付きレベルシフタ回路40, 41a～41dの各3ステートインバータ10bおよびインバータ20によって形成されるループによって各々のラッチ機能付きレベルシフタ回路の出力状態が保持され、これにより、デコード信号SII～SII8もその状態が保持される。

【0078】この動作をまとめたものを表1以下、クロック信号が「1」の時、3ビットのデジタルデータのうち、上位2ビットD12, D11が各々「0」、「1」であれば、ラッチ機能付きレベルシフタ回路41bから、「1」が出力される。また、それの場合において、最下位ビットD0に応じて各々対応するラッチ機能付きレベルシフタ回路から入力される信号を、各切換回路の接続点a1～a4、もしくは、接続点b1～b4から出力する。

【0079】以上動作をまとめたものを表1以下に示す。すなわち、表2はクロック信号が「1」である場合に、3ビットのデジタルデータD12, D11, D10の信号に対して、デコード信号SII～SII8の値がどのようになるかを示したものである。

【表2】

D12	D11	D10	SII	SII2	SII3	SII4	SII5	SII6	SII7	SII8
0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	1	0	0
1	0	1	0	0	0	0	0	0	1	0
1	1	0	0	0	0	0	0	0	0	1
1	1	1	0	0	0	0	0	0	0	1

この表からもわかるように、本実施形態のデコーダ回路により、ラッチ機能付きレベルシフタ回路は共に1種類の電圧で駆動するため、複数設置装置のドライバへのIC化に際して、ロードを、電圧VH系のデジタル信号に供してそのドライバに対応する回路より、出力電力を低下させることができなくなり、歩留まりを向上させることができる。

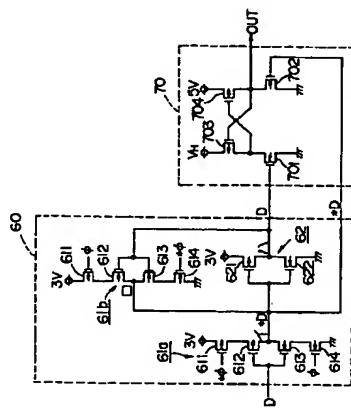
【図面の簡単な説明】

【図1】この発明の第1実施形態によるラッチ機能付きレベルシフタ回路の構造を示す電気接続図である。

【図2】同ラッチ機能付きレベルシフタ回路におけるレバシフト部の各FETがONになった時の等価回路を示す回路図である。

【図3】この発明の第2実施形態によるラッチ機能付

【図11】



フロントページの続き

(51) Int.Cl. 6
H03K 19/0185
識別記号
序内整理番号
F 1
H03K 19/00
技術表示箇所
101D

(72) 発明者 田口 隆
神奈川県川崎市幸区堀川町580番の15
株式会社東芝半導体システム技術センター内